

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-187491
 (43)Date of publication of application : 21.07.1998

(51)Int.CI.

G06F 11/28
 G06F 9/38

(21)Application number : 09-370528

(71)Applicant : TEXAS INSTR INC <TD>

(22)Date of filing : 22.12.1997

(72)Inventor : DEAO DOUGLAS E

SESHAN NATARAJAN

(30)Priority

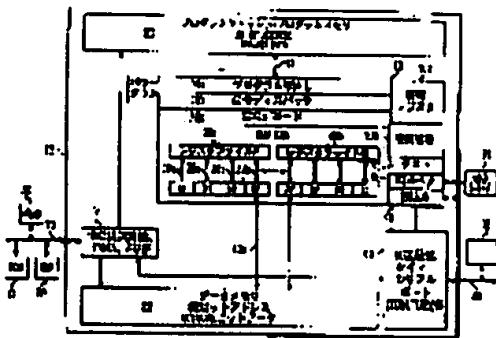
Priority number : 96 34261 Priority date : 20.12.1996 Priority country : US

(54) METHOD FOR UTILIZING MULTIWORD INSTRUCTION REGISTER DURING DEBUGGING OF DATA PROCESSING SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To enable not only system-level debugging, but also chip-level testing by continuously executing a system code in a processor multiword instruction register by a method which generate no irrelevant operation in a data processing system.

SOLUTION: Decoded instructions are provided for function devices D1, M1, S1, and L1 from instruction fetch/decoding units 10a to 10c through respective groups of control lines. Data are provided from a register file 20a for a load/storage device D1 through a bus 32a, for a multiplier M1 through a bus 34a, for an ALU/shifter unit S1 through a bus 36a, and for an ALUL1 through a bus 38a. Further, the data are sent and received between a memory 22 and the device D1 through a bus 40a. Further, the instruction are fetched by the unit 10a from an instruction storage device 23 through one bus 41. An emulation circuit 50 accesses internal operation of an integrated circuit 1 which can be controlled by an external test/development system 51.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-187491

(43)公開日 平成10年(1998)7月21日

(51) Int.Cl.* 課別記号
G 06 F 11/28 3 1 5
9/38 3 1 0

F I
G 0 6 F 11/28 3 1 5 A
9/38 3 1 0 J

審査請求 未請求 請求項の数 2 頁面 (全 88 頁)

(21) 出願番号 特願平9-370528

(22) 出願日 平成9年(1997)12月22日

(31) 優先権主張番号 034261

(32) 領先日 1996年12月20日

(33) 領先指主張國 美國 (U.S.)

(71) 出願人 590000879

テキサス インスツルメンツ インコーポ
レイテッド
アメリカ合衆国テキサス州ダラス、ノース
セントラルエクスプレスウェイ 13500

(72) 発明者 ダグラス, イー, ディー・オ

アメリカ合衆国テキサス州ブルックシャー, シエラトン サークル 4574
(72)発明者 ナタラジャン セシャン
アメリカ合衆国テキサス州ヒューストン, エラ リーレーン 9550, アパートメント

408 (3) 代理 人 本公司 速村 鮎 (第 3 位)

(54) 【発明の名称】 データ処理システムのデバッグ中にマルチワード命令レジスタを利用する方法

(57) **【要約】**

【課題】 外部テストシステムへの接続時に集積回路のデバッグとエミュレーションが行えるエミュレーションユニットと共に、マイクロプロセッサ1および周辺装置を備えた集積回路上のデータ処理システムを提供する。

【解決手段】マイクロプロセッサ1は、フェッチ/データユニット10a～cと機能実行単位12、14、16、18に関連のある複数の実行段階を備えた命令実行パイプラインを有している。マイクロプロセッサ1のパイプラインが非保護であることから、命令記憶装置23に記憶されたシステムプログラムコードによって、データメモリ22およびレジスタファイル20へのメモリアクセスの待ち時間が利用できる。エミュレーションユニット50は、無関係な演算の発生等、エミュレーション中にメモリ22～23や周辺装置60～61に影響を及ぼすような事態を回避するような方法で演算を行う。

